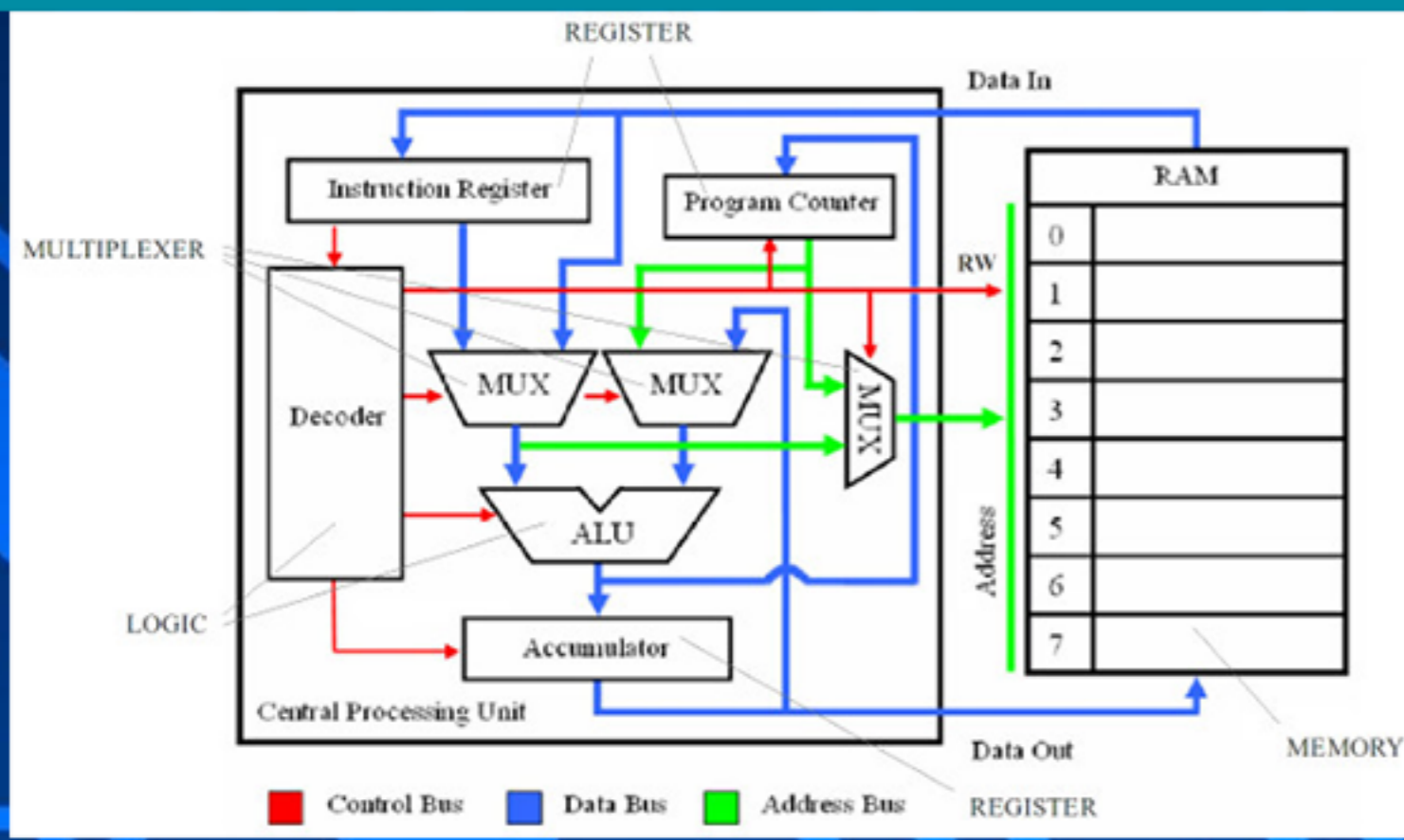




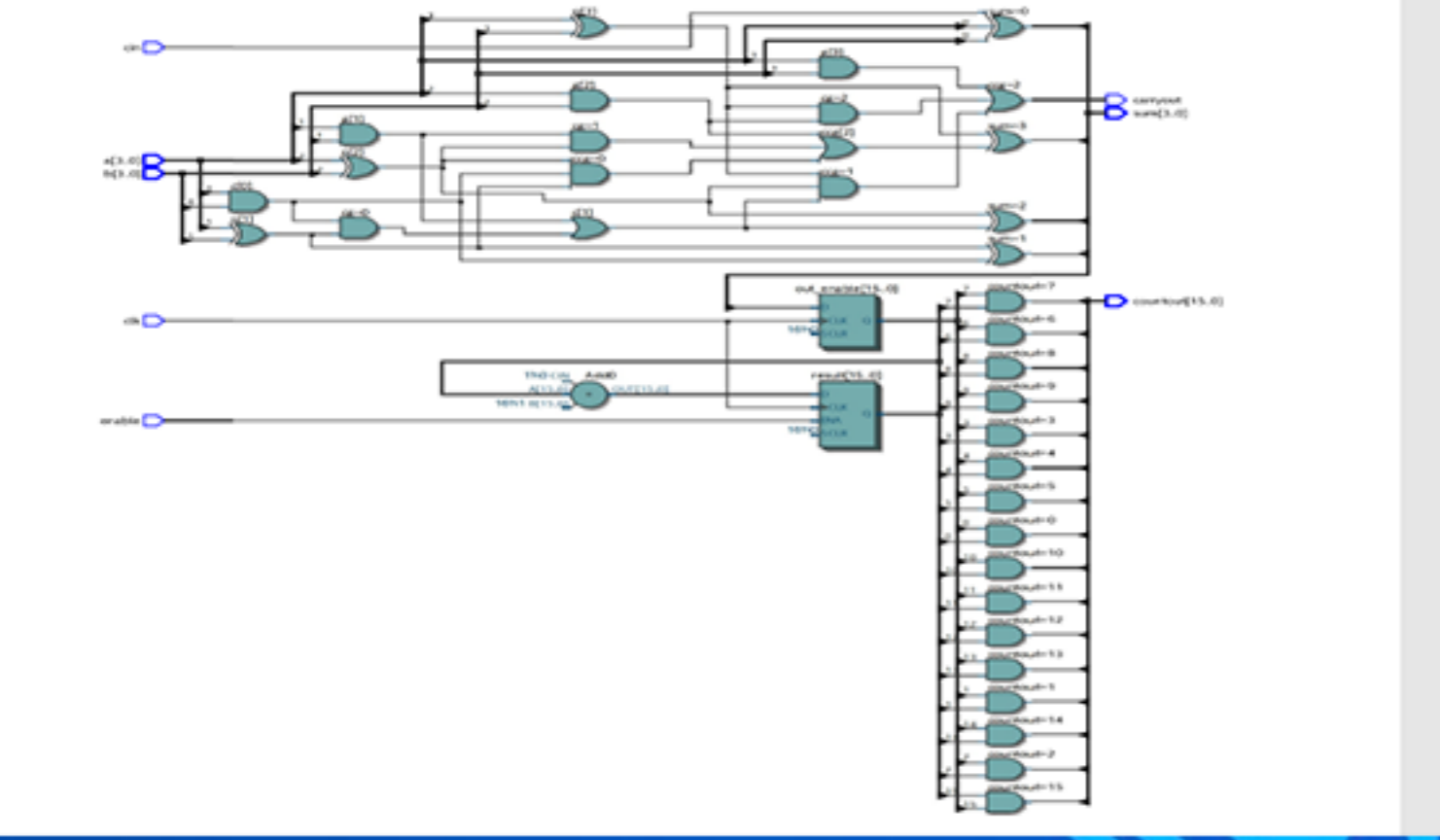
HARRAN  
UNİVERSİTESİ

# YERLİ VE MİLLİ İŞLEMCI İÇİN ARİTMETİK ÜNİTE TASARIMI

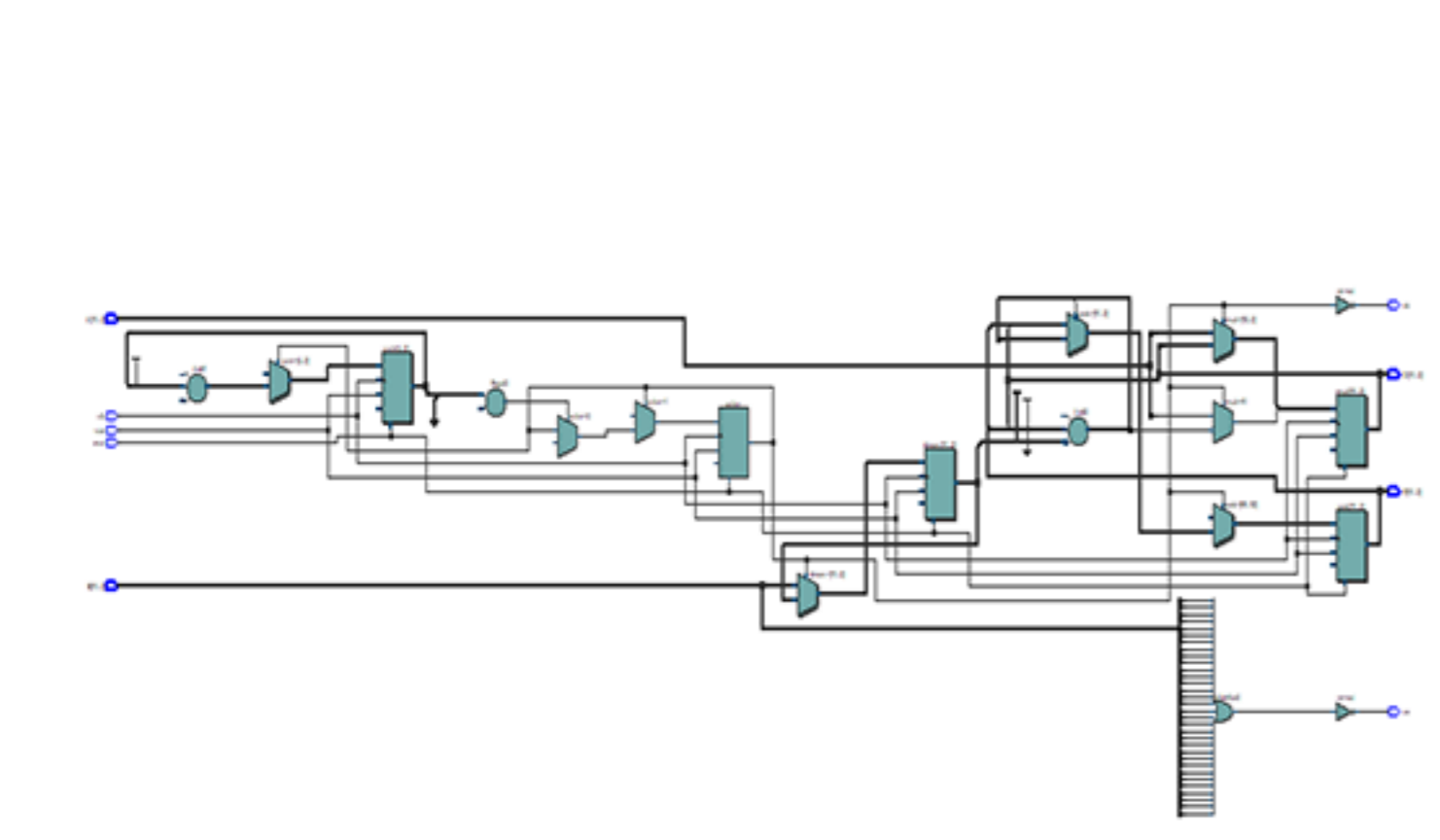
Yusuf EREN, Serkan KAHRAMAN  
Harran Üniversitesi Elektrik Elektronik Mühendisliği  
Osmanbey Yerleşkesi  
Bitirme Projesi Danışmanı: Dr.Hasan GÖKTAŞ



Şekil1: İşemci iç yapısı



Şekil2: Toplayıcı



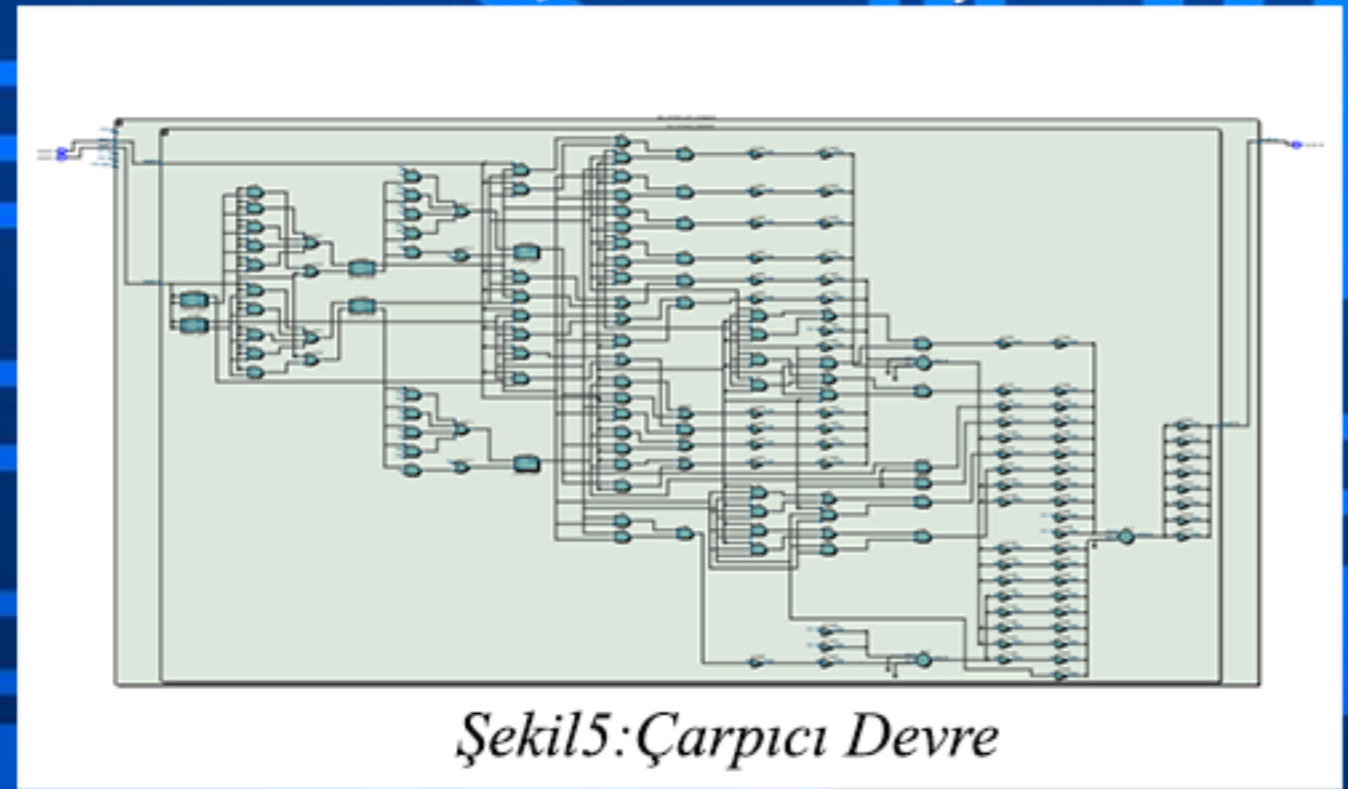
Şekil2.1: Bölücü



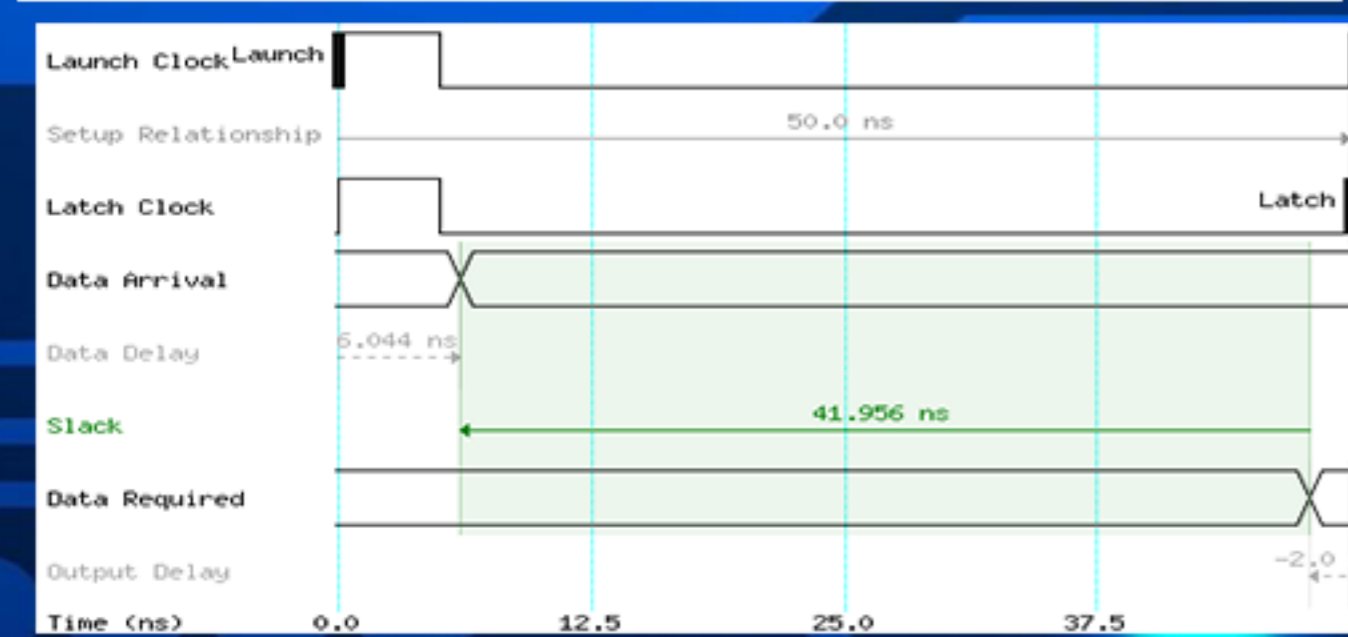
Şekil3: Logic analyser Result  
Dr.Göktaş 2009

Type of Adder	Delay		
	Maximum Combinational Path Delay (in ns)	Logic Delay (in ns)	Route Delay (in ns)
4-bit RCA	12.008	7.540	4.468
4-bit CLA	12.008	7.540	4.468
4-bit KSA	11.786	7.540	4.246
8-bit RCA	17.585	9.456	8.129
8-bit CLA	17.585	9.456	8.129
8-bit KSA	17.030	9.456	7.574
16-bit RCA	28.741	13.288	15.453
16-bit CLA	27.076	13.288	13.788
16-bit KSA	21.264	10.893	10.371

Şekil4:KSA Delay



Şekil5: Çarpıcı Devre



Şekil6:KOGGE STONE Similasyon Delay

## ÖZET

Günümüz itibariyle çalışmakta olan bütün elektronik aygıtlar bir mikrodenetleyici üzerinden kontrol edilip programlanmaktadır. Bir cep telefonundan hesap makinasına kadar her teknolojik aygıtın temelleri mikrodenetleyicilere dayanmaktadır. Bu bağlamda mikrodenetleyici tasarımları günümüzde çok popüler hale gelmiştir. Ülkemizde ise bu tasarımlar yapılmamakta işlemciler yurt dışından ithal edilmektedir. Dolaylı veya doğrudan ülke ekonomisini zayıflatan etmenlerden biridir. Bu durumda kendi işlemcimizi tasarlamamız ülke ekonomisini iyileştireceği gibi bir çok alanda optimize edilmiş işlemcilere sahip olmamızı sağlayacaktır.

## GİRİŞ

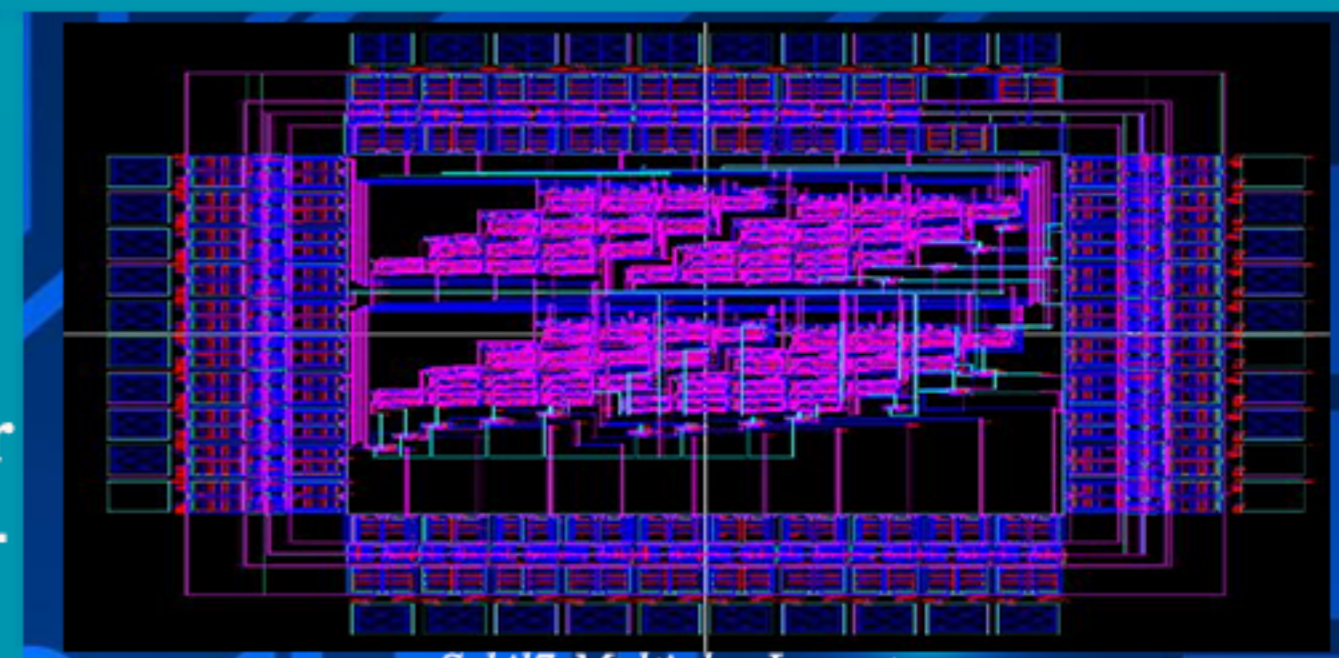
Bir işlemcinin içini görebilme imkanımız olsaydı ve onları sanal kutucuklar halinde düşünebilseydik o işlemcinin içerisinde göreceğimiz bazı kısımlar olacaktı. Bunlar Program counter, Memory, ALU ve Control unit (Şekil.1)olacaktı. Bu birimlerden her biri birbiriyle bağımlı ve her birinin de kendi içerisinde bazı bölümlerden oluştuğunu söyleyebiliriz. Peki bu bölümler neyi ifade etmektedir? Bunu çok basit bir şekilde insan beyni gibi düşünebiliriz. Veriler bus yollarıyla işlemciye ilettirilir işlemci gereken işlemleri yaparak bunu bir çıkış olarak geri gönderdir. Bu tıpkı sinir sisteminde taşınan uyarılar gibi düşünebiliriz. Projemizde bir işlemcinin en temel birimlerinden biri olan ALU tasarımını gerçekleştirdik yani Aritmetik lojik ünite olarak adlandırılan içerisinde bütün aritmetik işlemlerin (Toplama çıkarma çarpma bölme vs.) yapıldığı aynı zamanda mantıksal işlemlerinde gerçekleştirildiği bölümdür. İçerisinde toplayıcı çarpıcı çıkarıcı bölücü devreler yer almaktadır(Şekil:2.1).

## YÖNTEMLER

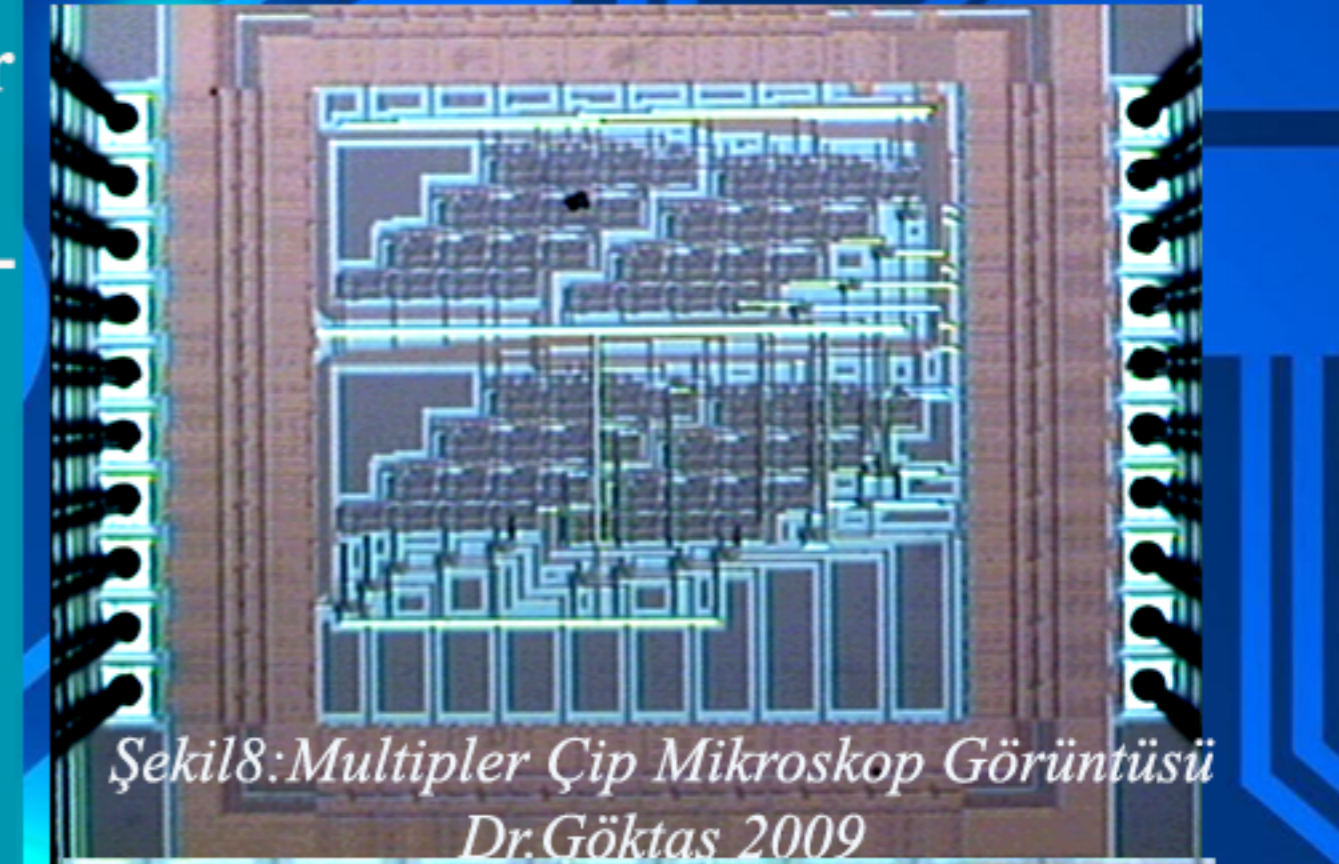
Bir işlemciyi tasarlamak için belirli bir düzeyde sayısal devreler ve programlama bilgisine sahip olmak gerekmektedir. Ayrıca dünya genelinde üretilen işlemcileri incelemek en güncel makaleleri okumak ve yapacağınız işlemcinin bu standartları karşılayabilmesi gerekmektedir. Bu bağlamda bir çok kaynaktan çok detaylı geniş çapta araştırmalar neticesinde geliştirilmiş olan teknolojilerin öğrenilmesi bu yapıların şematik devrelerini bu devrelerin kullanım alanları hakkında önemli ölçüde bilgi sahibi olunması buna binaen de kodlamaların yapılması esasına dayanan bir yöntem ile çalışmalarımızı yürüttük.

## GELİŞTİRMELER

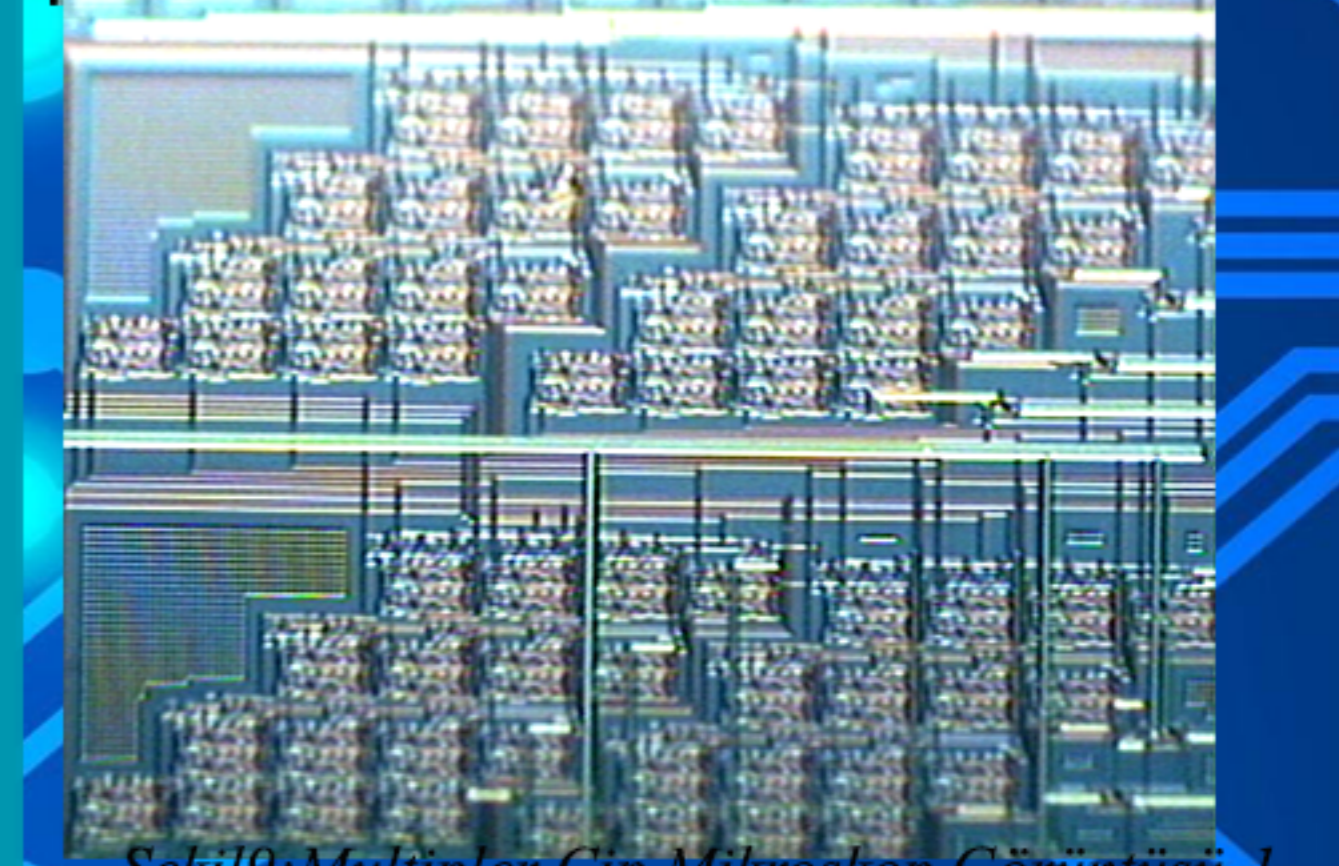
İşlemcimiz için ALU tasarımını tamamlamış bulunmaktayız. İlerleyen zamanlar içerisinde işlemcimizi tamamlayıp üretime hazır bir işlemciyi hedeflemekteyiz. Bu hedef doğrultusunda çalışmalara başlanmıştır.



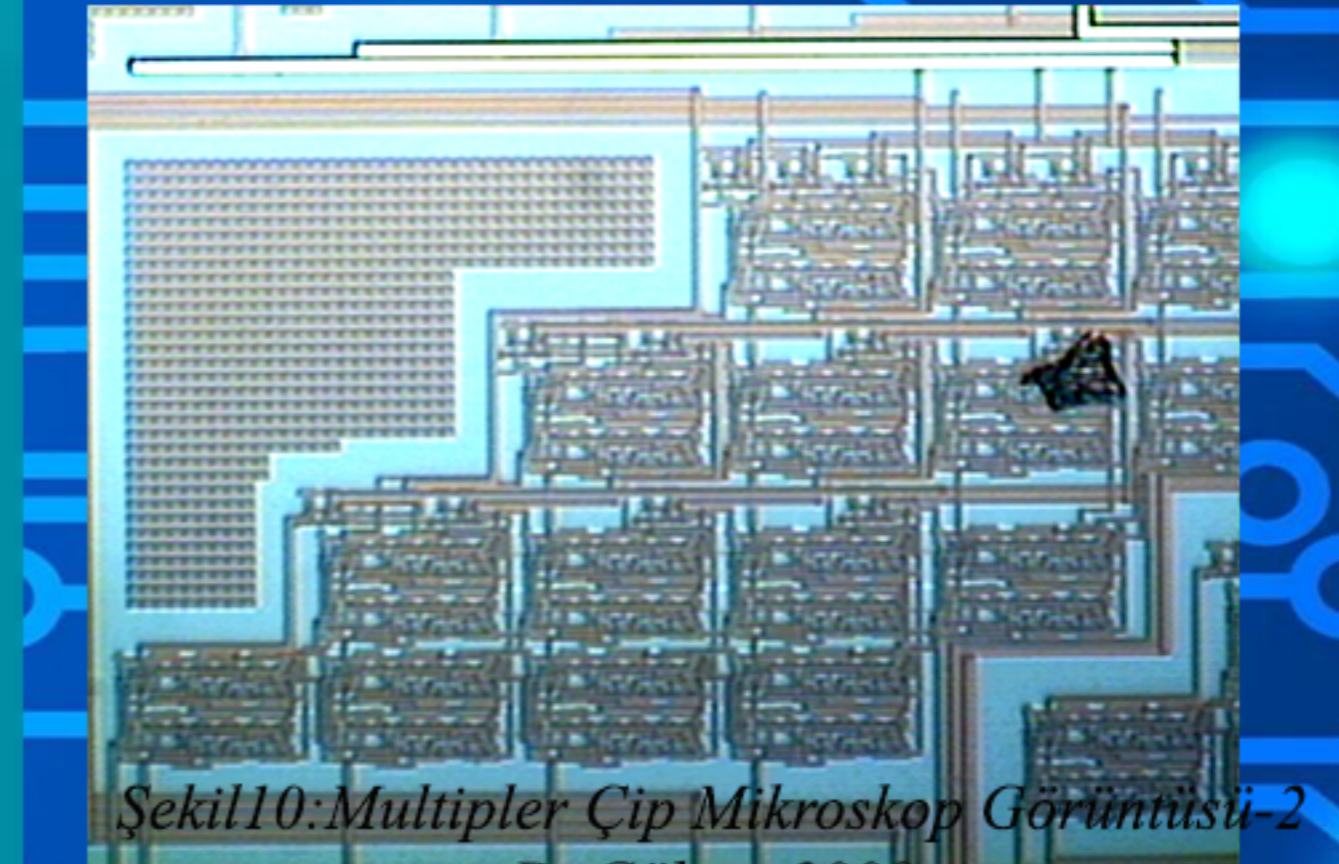
Şekil7: Multipler Layout  
Dr.Göktaş 2009



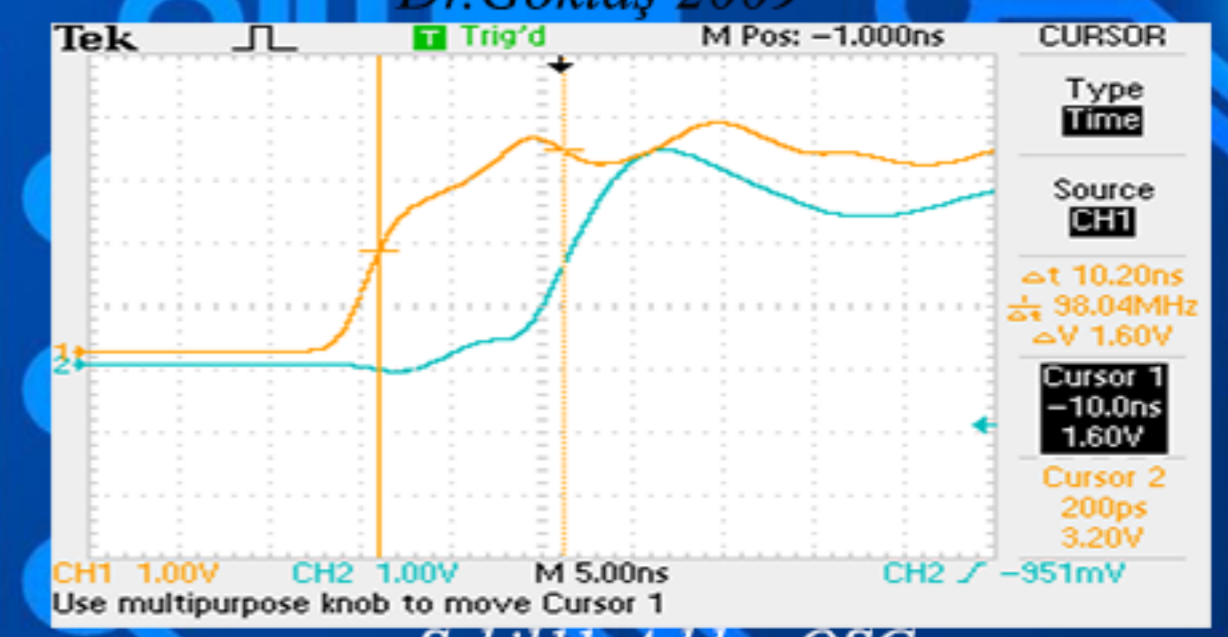
Şekil8: Multipler Çip Mikroskop Görüntüsü  
Dr.Göktaş 2009



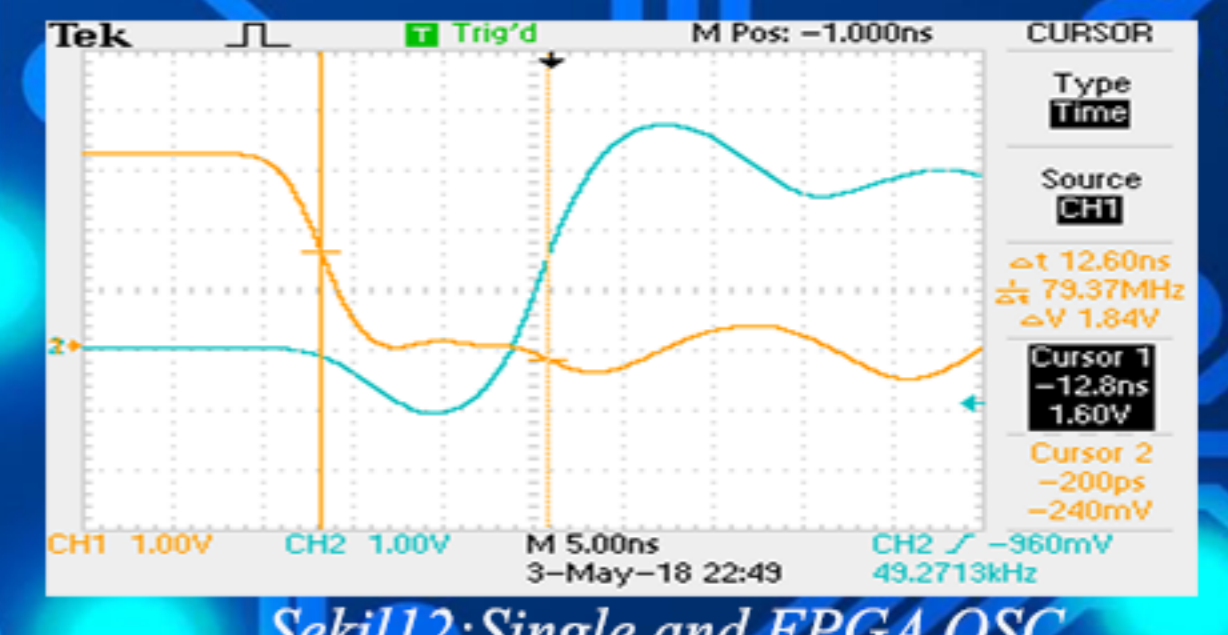
Şekil9: Multipler Çip Mikroskop Görüntüsü-1  
Dr.Göktaş 2009



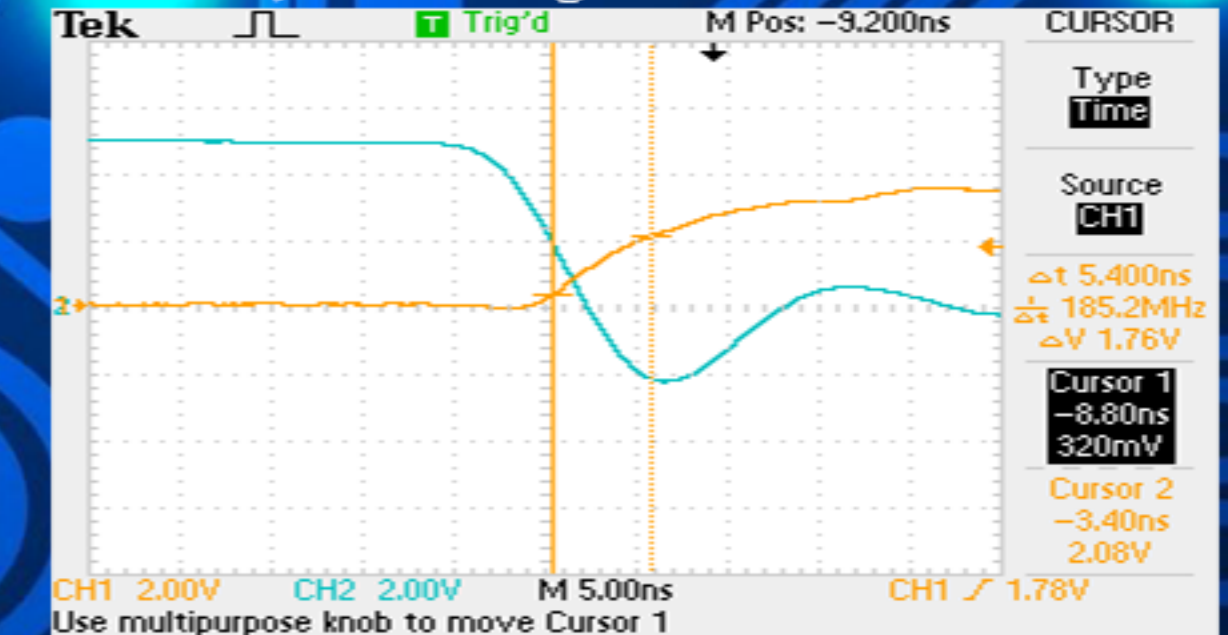
Şekil10: Multipler Çip Mikroskop Görüntüsü-2  
Dr.Göktaş 2009



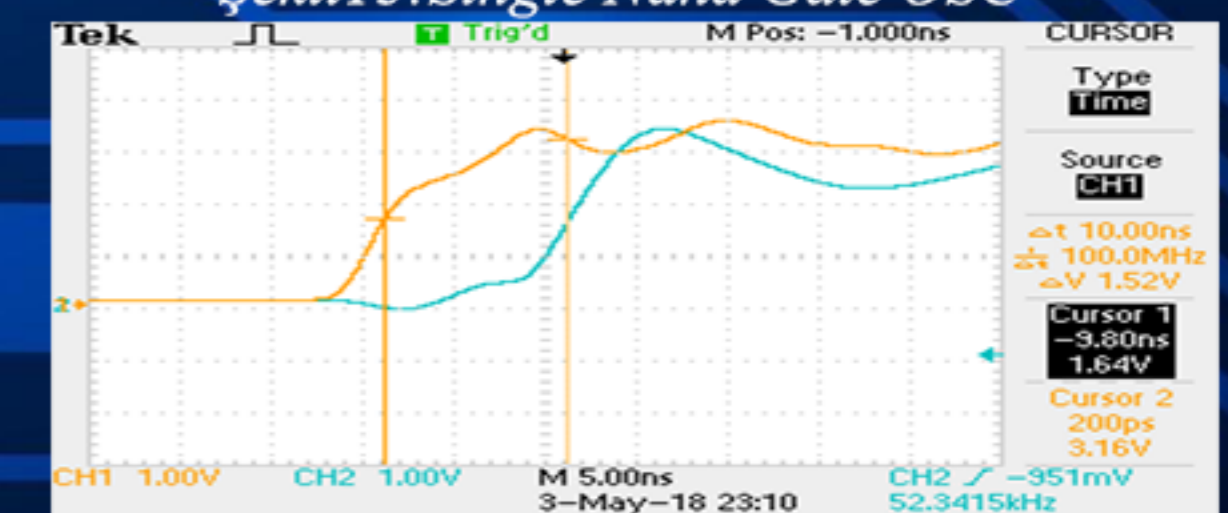
Şekil11: Adder OSC



Şekil12: Single and FPGA OSC



Şekil13: Single Nand Gate OSC



Şekil14: Single or FPGA OSC